

#3

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Art Unit : To Be Assigned  
Examiner : To Be Assigned

In re Patent Application of

Applicants : Nobuyuki YOSHII

)

Appl'n No.: To Be Assigned

)

Filed : January 28, 2000

)

For : PACKET COMMUNICATION APPARATUS

) **CLAIM FOR PRIORITY**

Att'y Dkt. : 32178-157380

)

)

)

)

January 28, 2000

jc678 U.S. P.O.  
09/493033  
01/28/00



Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of Applicant's first-filed Japanese application number 11-021264 (filed January 29, 1999), the rights of priority to which have been and are hereby claimed pursuant to the provisions of 35 USC 119.

It is respectfully requested that receipt of this priority document be acknowledged.

Respectfully submitted,

  
Allen Wood  
Registration No. 28,134  
VENABLE  
P.O. Box 34385  
Washington, D.C. 20043-9998  
Telephone: (202) 962-4800  
Telefax : (202) 962-8300

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application: 1999年 1月 29日

出願番号  
Application Number: 平成11年特許願第021264号

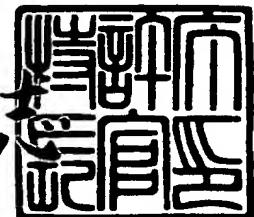
出願人  
Applicant(s): 沖電気工業株式会社

jc678 U.S. PTO  
09/493033  
01/28/00  


1999年 7月 26日

特許庁長官  
Commissioner  
Patent Office

伴佐山達



出証番号 出証特平11-3052581

【書類名】 特許願

【整理番号】 SA3160

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/08

H04J 3/06

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

【氏名】 吉居 伸幸

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100082050

【弁理士】

【氏名又は名称】 佐藤 幸男

【代理人】

【識別番号】 100102923

【弁理士】

【氏名又は名称】 加藤 雄二

【手数料の表示】

【予納台帳番号】 058104

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9100477

【包括委任状番号】 9500200

特平11-021264

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 パケット通信装置

【特許請求の範囲】

【請求項1】 それぞれが固定長を有する互いに連続する複数のパケットを処理するパケット通信装置であって、

前記複数のパケットにそれぞれ関連する複数の情報を一時的に記憶する記憶回路であって、前記複数の情報の読み書きのために選択的に機能する少なくとも2つのポートを備えた記憶回路と、

前記2つのポートの一方に接続され、かつ、前記固定長に対応する、一のパケットを処理するために認められたパケット処理時間のうち第1の時間の間に、該一のパケットと前記記憶回路との間で、該一のパケットに関連する情報を読み書きする第1の処理回路と、

前記2つのポートの他方に接続され、かつ、前記パケット処理時間のうち前記第1の時間以外の残余時間の間に、前記記憶回路に対し、前記複数の情報のうち少なくとも一の情報を読み書きする第2の処理回路とを含むことを特徴とするパケット通信装置。

【請求項2】 請求項1記載のパケット通信装置であって、

さらに、前記複数のパケットに対応して互いに連続する複数のパケット処理時間の境目を表す複数の信号成分を含む第1のパケット同期信号のうち一の境目を表す信号成分に応答し、かつ、該信号成分に引き続く他の信号成分に応答することなく、前記パケット処理時間毎にパケット処理時間同士の境目を表す信号成分を含む第2のパケット処理信号を生成する生成回路を含み、

前記第1の処理回路及び第2の処理回路は、前記第2のパケット処理信号が表すパケット処理時間に基づいて、前記読み書きを行うことを特徴とするパケット通信装置。

【請求項3】 請求項1記載のパケット通信装置であって、

さらに、前記複数のパケットに対応して互いに連続する複数のパケット処理時間の境目を表す複数の信号成分を含む第1のパケット同期信号のうち、一の境目を表す第1の信号成分、及び、該一の境目から前記パケット処理時間を隔てた位

置にある他の境目を表す第2の信号成分を検出する検出回路と、

前記第1の信号成分及び第2の信号成分を検出したときに、前記パケット処理時間毎にパケット処理時間同士の境目を表す信号成分を含む第2のパケット処理信号を生成する生成回路とを含み、

前記第1の処理回路及び第2の処理回路は、前記第2のパケット処理信号が表すパケット処理時間に基づいて、前記読み書きを行うことを特徴とするパケット通信装置。

【請求項4】 それが固定長を有する互いに連続する複数のパケットを処理するパケット通信装置であって、

パケットの処理のために用いられる、リフレッシュを必要とするDRAMと、

前記固定長に対応する、該一のパケットを処理するために認められたパケット処理時間のうち第1の時間の間に、該一のパケットの処理を行うパケット処理回路と、

前記パケット処理時間のうち前記第1の時間以外の残余時間の間に、前記DRAMをリフレッシュするリフレッシュ回路とを含むことを特徴とするパケット通信装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、固定長のパケットを処理するパケット通信装置に関し、特に、パケットに関する情報の書き込み及び読み出しを行うパケット通信装置に関する。

##### 【0002】

##### 【従来の技術】

従来から、ATM (Asynchronous Transfer Mode) 交換機等の固定長のパケットを交換する交換機は、パケットを交換することに加えて、パケットに関連する情報（以下、「パケット情報」という。）を用いて、あるいは、パケット情報のために、予め定められた処理を行っている。例えば、交換するパケットの量に応じて課金する従量制を採用すれば、パケット交換機は、宛先毎にパケットの数を計数し、この情報を元に加入者に課金する。また、パケットに付与される、パケ

ットのエラーを検出・訂正するための情報を用いて、エラーを検出・訂正する。

#### 【0003】

これらの処理を行うべく、パケット交換機は、パケット情報を記憶するための記憶回路を有する。さらに、パケットからパケット情報を読み出して記憶回路に書き込んだり、記憶回路からパケット情報を読み出してパケットに書き込んだりするための回路（以下、「第1の処理回路」という。）、及び、記憶回路に記憶されたパケット情報を読み出して所定の処理を行ったり、所定の処理の結果としてパケットに書き込まれるべきパケット情報を記憶回路に書き込む回路（以下、「第2の処理回路」という。）を有する。

#### 【0004】

記憶回路は、第1の処理回路及び第2の処理回路によるパケット情報の読み書きが衝突することを回避するべく、複数の読み書きが選択的に許可されるように機能する。言い換れば、記憶回路に対し、同時にパケット情報の複数の読み書きをすることは許可されない。第1の処理回路による読み書き及び第2の処理回路による読み書きについては、パケットに対しパケット情報の読み書きすることが失敗することを回避する必要性があることから、第1の処理回路による読み書きの優先度は、第2の処理回路による読み書きの優先度より高い。

#### 【0005】

さらに、第1の処理回路は、各パケットを交換するために認められた時間（以下、「パケット処理時間」という。）内に読み書きを行う必要がある。従って、従来の交換機では、交換すべきパケットが存在する限り、パケット処理時間には、第1の処理回路による読み書きが行われ、交換すべきパケットが存在しないときにのみ、パケット処理時間に、第2の処理回路による読み書きが行われている。

#### 【0006】

##### 【発明が解決しようとする課題】

しかしながら、このようなパケット交換機では、第2の処理回路は、パケットが絶え間無く交換されると、読み書きを全く行うことができない。この結果、第2の処理回路による読み書きは、交換すべきパケットが存在しなくなるまで長い

期間待たなければならず、この結果、第2の処理回路による所定の処理の実行が遅滞する虞れがあるという問題があった。さらには、このような理由から、従来のパケット交換機は、第2の処理回路が定期的な処理をする、例えば、DRAM (Dynamic Random Access Memory) を定期的にリフレッシュすることができないという問題があった。

## 【0007】

## 【課題を解決するための手段】

上記の課題を解決するべく、本発明に係るパケット通信装置は、それぞれが固定長を有する互いに連続する複数のパケットを処理するパケット通信装置であって、複数のパケットにそれぞれ関連する複数の情報を一時的に記憶する記憶回路であって、複数の情報の読み書きのために選択的に機能する少なくとも2つのポートを備えた記憶回路と、2つのポートの一方に接続され、かつ、固定長に対応する、一のパケットを処理するために認められたパケット処理時間のうち第1の時間の間に、該一のパケットと記憶回路との間で、該一のパケットに関する情報を読み書きする第1の処理回路と、2つのポートの他方に接続され、かつ、パケット処理時間のうち第1の時間以外の残余時間の間に、記憶回路に対し、複数の情報のうち少なくとも一の情報を読み書きする第2の処理回路とから構成される。

## 【0008】

このような構成を採用することにより、たとえ処理すべきパケットが途絶えることなく存在しても、第2の処理回路は、各パケット処理時間内の残余時間に記憶回路に対しパケット情報を読み書きすることができる。これにより、第2の処理回路は、遅滞なく、パケット情報を用いた所定の処理、あるいは、パケット情報のための所定の処理を行うことができる。

## 【0009】

また、上記の問題を解決するべく、本発明に係るパケット処理装置は、それぞれが固定長を有する互いに連続する複数のパケットを処理するパケット通信装置であって、パケットの処理のために用いられる、リフレッシュを必要とするDRAMと、固定長に対応する、該一のパケットを処理するために認められたパケッ

ト処理時間のうち第1の時間の間に、該一のパケットの処理を行うパケット処理回路と、パケット処理時間のうち第1の時間以外の残余時間の間に、DRAMをリフレッシュするリフレッシュ回路とから構成される。

#### 【0010】

このような構成を採用することにより、リフレッシュ回路は、DRAMのリフレッシュを、各パケット処理時間の残余時間の間に定期的に行うことができる。これにより、DRAMのリフレッシュを長期間怠ることを回避することができる。

#### 【0011】

##### 【発明の実施の形態】

本発明に係るパケット通信装置の実施の形態について説明する。実施の形態として、具体例1、具体例2、具体例3、具体例4を挙げる。具体例1の主な特徴は、パケット処理時間内に、第1の処理回路による読み書き及び第2の処理回路による読み書きが行われることである。具体例2の主な特徴は、パケットの同期のために用いられるパケット同期信号に雑音が混入したり、瞬断が発生したりしたときにも、パケット処理時間を確保することである。具体例3の主な特徴は、パケット同期信号の位相が変化したときに、速やかに同期を引き込むことである。具体例4の主な特徴は、第2の処理回路に与えられた時間内に、リフレッシュ回路が、パケットの処理のために用いられるDRAMをリフレッシュすることである。

#### 【0012】

##### 〈具体例1〉

具体例1のパケット交換機について図1を参照しつつ説明する。

図1は、具体例1のパケット通信装置の構成を示す図である。図示されるように、パケット通信装置100は、各パケットが固定長である、互いに連続する複数のパケットからなるパケット列200を交換する。パケット通信装置100は、パケット情報を取り扱うべく、第1の処理回路10、第2の処理回路11、及び、記憶回路12から構成される。第1の処理回路10は、各パケットと記憶回路12との間で、パケット情報の読み書きを行う。第2の処理回路11は、記憶

回路12に対し、パケット情報の読み書きを行う。記憶回路12は、第1の処理回路10によって読み書きされるパケット情報、及び、第2の処理回路11によって読み書きされるパケット情報を一時的に記憶する。また、記憶回路12は、パケット情報の複数の読み書きが同時に行われることを回避するべく、第1の処理回路10による読み書き及び第2の処理回路11による読み書きが選択的に許可されるように機能する。

#### 【0013】

図2は、パケット処理時間を示す図である。図示されるように、パケット通信装置100は、パケットの長さに対応して規定される、パケットを交換するため認められるパケット処理時間の間に、パケットを交換する必要がある。同時に、パケット通信装置100は、このパケット処理時間内に、パケット情報を取り扱う必要がある。そこで、第1の処理回路10は、パケット処理時間のうち第1の処理時間の間に、パケット列200と記憶回路12との間で、パケット情報の読み書きを行う。一方、第2の処理回路11は、パケット処理時間のうち第1の処理時間以外の時間（以下、「残余時間」という。）の間に、記憶回路12に対しパケット情報の読み書きを行う。

#### 【0014】

上述したように、具体例1のパケット通信装置によれば、第1の処理回路10は、パケット列200と記憶回路12との間でのパケット情報の読み書きを、パケット処理時間のうち第1の処理時間の間に行い、第2の処理回路11は、記憶回路12に対するパケット情報の読み書きを、パケット処理時間のうち残余時間の間に行う。これにより、第2の処理回路11は、従来とは異なり、記憶回路12に対する読み書きを各パケット処理時間に必ず行うことができる。この結果、第2の処理回路11は、パケットが存在しなくなるまで待つことなく、記憶回路12に対する読み書きを周期的にかつ確実に行うことができる。従って、第2の処理回路11の処理が遅滞することを防止することが可能になる。

#### 【0015】

##### 〈具体例2〉

具体例2の保護回路について説明する。保護回路は、具体例1のパケット通信

装置100内に設けられており、具体例1で説明したパケット処理時間300を規定するために用いられる信号に生じる雑音や瞬断の影響を受けることなく、パケット処理時間の位置を表す信号を確実に生成する。より具体的には、保護回路は、パケット列200のパケット同士の境目を表す第1のパケット同期信号を元にしながらも、第1のパケット同期信号に生じる変動の影響を受けることなく、第1のパケット同期信号と同様な第2のパケット同期信号を生成する。

#### 【0016】

図3は、保護回路の構成を示す図であり、図4～6は、保護回路の動作を示す図である。図3に示されるように、保護回路は、第1のパケット同期信号a、初期化信号b、及び、システムクロック信号zを入力される一方、第2のパケット同期信号e、及び、異常検出信号gを出力する。システムクロック信号zは、保護回路が動作するために用いられる基準クロックである。第1のパケット同期信号aは、パケット列200中のパケット同士の境目を表す。初期化信号bは、パケット通信装置100のセットアップ後に、保護回路の動作を始動させる。第2のパケット同期信号eは、第1のパケット同期信号aを元に生成され、第1のパケット同期信号aと同様にパケット同士の境目を表す。異常検出信号gは、第1のパケット同期信号aに雑音、特にいわゆるヒゲが発生したことや第1のパケット同期信号aが瞬断したこと（以下、ヒゲや瞬断の発生を「異常状態」という。）を表す。その他の信号は、以下に説明する各回路に入力される信号、あるいは、各回路から出力される信号を示す。

#### 【0017】

図3に示されるように、保護回路は、禁止回路20、巡回カウンタ21、カウント判定回路22、異常検出回路23、時間調整回路24から構成される。禁止回路20は、第1のパケット同期信号aが異常状態である間、巡回カウンタ21に第1のパケット同期信号aが供給されることを禁止する。巡回カウンタ21は、パケット処理時間に相当する時間のカウントを繰り返す。より具体的には、パケット処理時間に相当する値n（nは任意の整数）のカウントを繰り返す。巡回カウンタ21は、カウントの繰り返しを、初期化信号bによって始動された後には、第1のパケット同期信号aに基づく信号hに左右されることなく、自発的に

行う。巡回カウンタ21は、値nまでのカウントを終える毎に、パケット処理時間同士の境目を表すパルスを含む第2のパケット同期信号を出力する。カウント判定回路22は、値nまでのカウントが終わる毎に、禁止回路20へカウントが終了したことを表すパルスを与える。異常検出回路23は、第1のパケット同期信号aと第2のパケット同期信号eが一致するか否かを判断する。一致しないときのみ、異常検出信号gに異常が発生したことを表す。時間調整回路24は、第1のパケット同期信号aと初期化信号bとに基づき、巡回カウント21及び異常検出回路23に、それぞれの動作を開始させるための信号cを与える。

## 【0018】

## &lt;正常な場合&gt;

第1のパケット同期信号aが正常状態である場合の保護回路の動作を図4を参照しつつ説明する。第1のパケット同期信号aは、パケット処理時間を一周期として、周期的にパケット同士の境目を表すパルス(a1, a2, a3等)を含んでいる。任意の時刻に、初期化信号bが動作の始動を指示すると(b1)、時間調整回路24は、巡回カウンタ21及び異常検出回路23の動作を始動させるパルス(c1)を、次の境目を表すパルス(a2)がある位置まで出し続ける。巡回カウンタ21は、境目を表すパルス(a2)の時刻に始動すると(d1)、値nまでカウントする。値nまでカウントすると、巡回カウンタ21は、パケット処理時間同士の境目を表すパルス(e1)を出力する。巡回カウンタ21は、再び、1からカウントを始め、以後、1からnまでのカウントを繰り返すことにより、第1のパケット同期信号aと完全に一致する第2のパケット同期信号eを生成する。

## 【0019】

パルス(e1)は、パルス(a2)からパケット処理時間を経過した時点で出力されることから、その位置は、次の境目を表すパルス(a3)の位置と一致する。従って、異常検出回路23は、異常が発生したことを示すパルスを異常検出信号に表さない(g1)。一方、カウント判定回路22は、巡回カウンタ21と同様に、値nまでカウントしたことを示すパルス(f1)を出力する。パルス(f1)及びパルス(a3)を入力されると、禁止回路20は、パルス(h1)を

巡回カウンタ21に出力する。

### 【0020】

〈ヒゲが生じた場合〉

第1のパケット同期信号aにヒゲが生じた場合の保護回路の動作を図5を参照しつつ説明する。但し、既に初期化信号bによって保護回路が動作していることを想定する。上述したように、巡回カウンタ21は、信号cにより始動した後には、パケット処理時間に相当する値nをカウントし続ける。第1のパケット同期信号aにヒゲ(X)が発生すると、第1のパケット同期信号aと第2のパケット同期信号eとが一致しないことから、異常検出回路23は、異常状態であることを示すパルス(g3)を、両方の信号が一致するまで、より正確には、次のパルス(a5)と次のパルス(e3)が一致する時刻まで出力する。このパルス(g3)を入力されることから、禁止回路20は、如何なるパルスも出力しない。

### 【0021】

〈瞬断が生じた場合〉

第1のパケット同期信号aに瞬断が生じた場合の保護回路の動作について図6を参照しつつ説明する。上述したヒゲが発生した場合と同様に、既に初期化信号bによって保護回路が動作していることを想定すると、巡回カウンタ21は、信号cにより始動した後には、パケット処理時間に相当する値nをカウントし続ける。一方、第1のパケット同期信号aに瞬断(Y)が発生すると、第1のパケット同期信号aと第2のパケット同期信号eとは異なることから、異常検出回路23は、異常状態が発生したことを示すパルス(g7)を出力する。異常検出回路23は、このパルス(g7)を、両パケット同期信号a、eが一致するまで、より具体的には、パルス(a12)とパルス(e10)が一致するまで出力し続ける。

### 【0022】

上述したように、具体例2の保護回路によれば、巡回カウンタ21は、信号cによってその動作を開始した後には、パケット処理時間に相当する値nのカウントを繰り返すことにより、第1のパケット同期信号aに対応する第2のパケット同期信号eを生成する。これにより、第1のパケット同期信号aが異常状態にな

っても、その影響を受けることなく、第2のパケット同期信号eを生成することが可能になる。

## 【0023】

## &lt;具体例3&gt;

具体例3の保護回路について説明する。具体例2の保護回路と同様に、この保護回路もまた具体例1のパケット通信装置100に設けられる。

図7は、具体例3の保護回路の構成を示す図であり、図8～10は、具体例2の保護回路の動作を示す図である。図7に示されるように、保護回路は、巡回カウンタ21、カウント判定回路22、異常検出回路23、時間調整回路24、制御回路25、カウンタ26から構成される。巡回カウンタ21、カウント判定回路22、異常検出回路23、時間調整回路24の動作は、具体例2におけるそれらの回路と同じである。

## 【0024】

制御回路25は、巡回カウンタ21が出力するパルスであって、カウント判定回路22によって出力される信号jがH(High)である間に位置するものをカウンタ26に供給する。カウンタ26は、パルスを与えられると、値(n+1)までをカウントする。但し、巡回カウンタ21と異なり、値(n+1)までのカウントを繰り返さない。新たに入力パルスを与えられることにより、値(n+1)までのカウントを新たに開始する。カウンタ26は、カウントしている間では、L(Low)の信号jを出力する一方で、値(n+1)までのカウントを終了すると、Hの信号jを出力する。また、カウントを開始する前の初期時には、Hの信号jを出力する。

## 【0025】

具体例3の保護回路の動作について図8～10を参照しつつ説明する。

## &lt;正常な場合&gt;

図8に示されるように、パケット同士の境目を示すパルス(a21)を入力されると、巡回カウンタ21は、値nのカウントを開始すると共に、入力されたパルス(a21)に対応するパルス(i21)を出力する。以後、巡回カウンタ21は、値nまでのカウントを繰り返し、かつ、値nまでのカウントを終える毎に

パルス (i 22)、(i 23) 等を出力する。パルス (i 21) が出力されたときに、信号 j は初期時の H であることから、パルス (i 21) がカウンタ 26 に入力される。パルス (i 21) を契機に、カウンタ 26 は、値 (n + 1) のカウントを開始する。値 (n + 1) までのカウントを終えると、カウンタ 26 は、パルス (j 22) を出力する。このとき、第 1 のパケット同期信号 a には、次のパケット処理時間の境目を表すパルス (a 22) が生起している。巡回カウンタ 21 は、このパルス (a 22) に対応するパルス (i 22) を出力する。パルス (i 22) とパルス (j 22) とにより、制御回路 25 は、それらのパルスに対応するパルス (i 22) をカウンタ 26 に供給する。カウンタ 26 は、パルス (i 22) を受け取ると、パルス (i 21) を与えられたときと同様に、値 (n + 1) までのカウントを開始する。

#### 【0026】

##### 〈瞬断が発生した場合〉

第 1 のパケット同期信号 a に瞬断が発生した場合の保護回路の動作について説明する。但し、既に、巡回カウンタ 21 は、第 1 のパケット同期信号 a 中の任意のパルスを契機に、その動作を開始していることを想定する。

図 9 に示されるように、巡回カウンタ 21 は、第 1 のパケット同期信号 a に瞬断が発生しても、値 n のカウントを繰り返す。言い換えれば、瞬断が発生しても、パルス (i 26)、(i 27) 等を出力する。これらのパルスをきっかけにして、カウンタ 26 は、値 (n + 1) のカウントを開始する。カウンタ 26 は、値 (n + 1) までのカウントを終える毎に、パルス (e 26) やパルス (e 27) を出力する。同時に、カウント判定回路 22 もまた、巡回カウンタ 21 の出力に同期したパルス (j 26) や (j 27) を出力する。この結果、巡回カウンタ 21 がパケット処理時間毎に出力するパルスは、制御回路 25 を経てカウンタ 26 に供給される。これにより、第 1 のパケット同期信号 a に瞬断が発生しても、第 2 のパケット同期信号 e は、パケット処理時間の境目を表すことができる。

#### 【0027】

##### 〈位相がずれた場合〉

第 1 のパケット同期信号 a の位相がずれた場合の保護回路の動作について説明

する。瞬断が発生した場合と同様に、巡回カウンタ21は、既にその動作を開始していることを想定する。

図10に示されるように、巡回カウンタ21は、それまでのパルス(a22)等とは位相が進んだパルス(a30)を入力されると、パルス(i30)を出力する。このとき、カウンタ26は、まだ、値( $n+1$ )までのカウントを行っていることから、Lである信号jを出力している。従って、カウンタ26には、パルス(i30)は入力されない。よって、カウンタ26は、パルス(a30)を契機にして、カウントを開始しない。

#### 【0028】

パルス(a30)に引き続いで、巡回カウンタ21は、パルス(a31)を入力されると、パルス(i31)を出力する。このとき、カウンタ26は、既に、値( $n+1$ )までのカウントを終えていることから、Hである信号jを出力している。従って、カウンタ26には、パルス(i31)が入力される。カウンタ26は、パルス(i31)を契機に、値( $n+1$ )までのカウントを開始する。

#### 【0029】

さらに、パルス(a31)からパケット処理時間だけ離れたパルス(a32)が入力されると、巡回カウンタ21は、パルス(i32)を出力する。この時点で、カウンタ26は、値( $n+1$ )までのカウントを終了していることから、信号jはHになっている。従って、パルス(i32)は、カウンタ26へ供給される。このパルス(i32)を契機にして、カウンタ26は、新たにカウントを開始する。

#### 【0030】

上述したように、具体例3の保護回路によれば、具体例2の保護回路と同様に、第1のパケット同期信号aが異常状態になっても第2のパケット同期信号eを安定に生成することができる。さらには、第1のパケット同期信号の位相が変わっても、その位相の変化に合わせて速やかに第2のパケット同期信号eを第1のパケット同期信号aに同期させることができる。より正確には、位相がずれたパルスと、そのパルスとパケット処理時間だけ離れてた次のパルスを用いることにより、同期を確立することができることから、2つ分のパケット処理時間が経過す

るまでに、言い換えれば、値 ( $2^n - 1$ ) に相当する時間以内に同期を引き込むことが可能になる。

## 【0031】

## &lt;具体例4&gt;

具体例4のパケット通信装置について図11を参照しつつ説明する。

図11は、具体例4のパケット通信装置の構成を示す図である。図示されるように、パケット通信装置は、第1の処理回路10、第2の処理回路11、保護回路30、シーケンス決定回路31、記憶回路としてのDRAM32から構成される。第1の処理回路10、第2の処理回路11、DRAM32は、具体例1でのそれらの回路と同様に構成される。保護回路30は、具体例2または具体例3で説明した保護回路と同一に構成され、第1のパケット同期信号aを入力され、第2のパケット同期信号eを生成する。シーケンス決定回路31は、保護回路30から出力されるカウンタ出力d及び第2のパケット同期信号eを用いて、第1の処理回路10及び第2の処理回路11を制御する。DRAM32は、パケット通信装置内でパケットの交換や伝送のための処理に用いられる。

## 【0032】

図12は、具体例4のパケット通信装置の動作を示す図である。図示されるように、シーケンス決定回路31は、第2のパケット同期信号eに基づいて、各パケット処理時間に、第1の処理回路10が行うべき処理、及び、第2の処理回路11が行うべき処理を割り当てる。この結果、一つのパケット処理時間内に、第1の処理回路10は、図1に図示したパケット列200とDRAM32との間でパケット情報の読み出し及びパケット情報の書き込みを行い、第2の処理回路11は、DRAM32に対するリフレッシュ及びパケット情報の読み書きを行う。これにより、DRAM32をパケット処理時間内に必ず1度リフレッシュすることを保証することが可能になる。パケット処理時間毎にリフレッシュを行う必要がなければ、例えば、パケット処理時間の個数をカウントするカウンタを設けることにより、m (mは任意の正の整数) 個のパケット処理時間毎に1度リフレッシュすることも可能である。

特に、保護回路30として具体例2の保護回路を用いれば、第1のパケット同

期信号aに発生するヒゲや瞬断等の影響を全く受けることなく、巡回カウンタ21が生成する第2のパケット同期信号eに従って、DRAM32を周期的にリフレッシュすることが可能になる。

【0033】

図13は、保護回路30として具体例3の保護回路を用いたパケット通信装置の動作を示す図である。保護回路30として具体例3の保護回路を用いれば、たとえ、第1のパケット同期信号aの位相がずれても、保護回路30は、値(2n-1)に相当する時間以内に第2のパケット同期信号eの同期を回復することができることから、値(2n-1)に相当する時間が経過するまでに、DRAM32をリフレッシュすることが可能になる。

【図面の簡単な説明】

【図1】

具体例1のパケット通信装置の構成を示す図である。

【図2】

パケット処理時間を示す図である。

【図3】

具体例2の保護回路の構成を示す図である。

【図4】

具体例2の保護回路の動作を示す図（その1）である。

【図5】

具体例2の保護回路の動作を示す図（その2）である。

【図6】

具体例2の保護回路の動作を示す図（その3）である。

【図7】

具体例3の保護回路の構成を示す図である。

【図8】

具体例3の保護回路の動作を示す図（その1）である。

【図9】

具体例3の保護回路の動作を示す図（その2）である。

【図10】

具体例3の保護回路の動作を示す図（その3）である。

【図11】

具体例4のパケット通信装置の構成を示す図である。

【図12】

具体例4のパケット通信装置の動作を示す図（その1）である。

【図13】

具体例4のパケット通信装置の動作を示す図（その2）である。

【符号の説明】

10 第1の処理回路

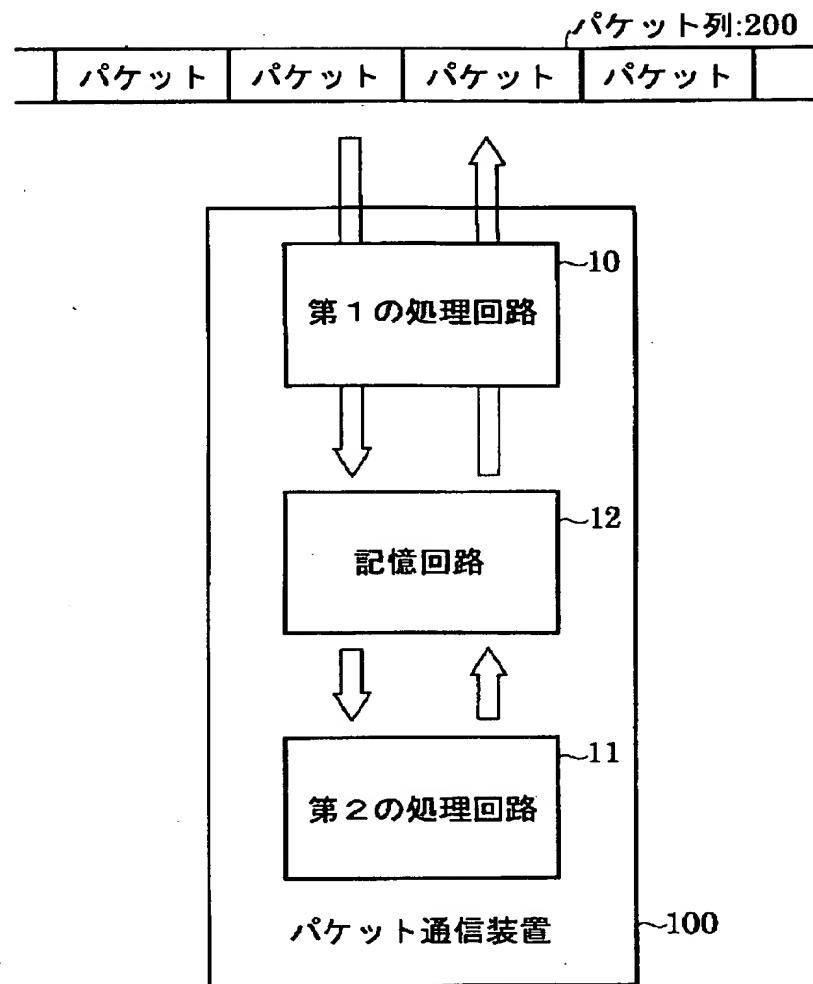
11 第2の処理回路

12 記憶回路

100 パケット通信装置

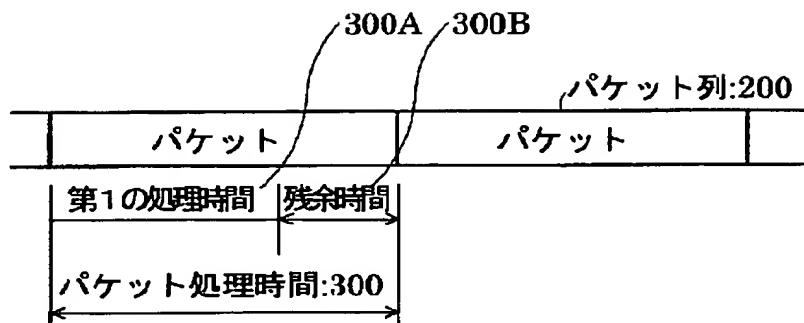
### 【書類名】 図面

### 【図1】



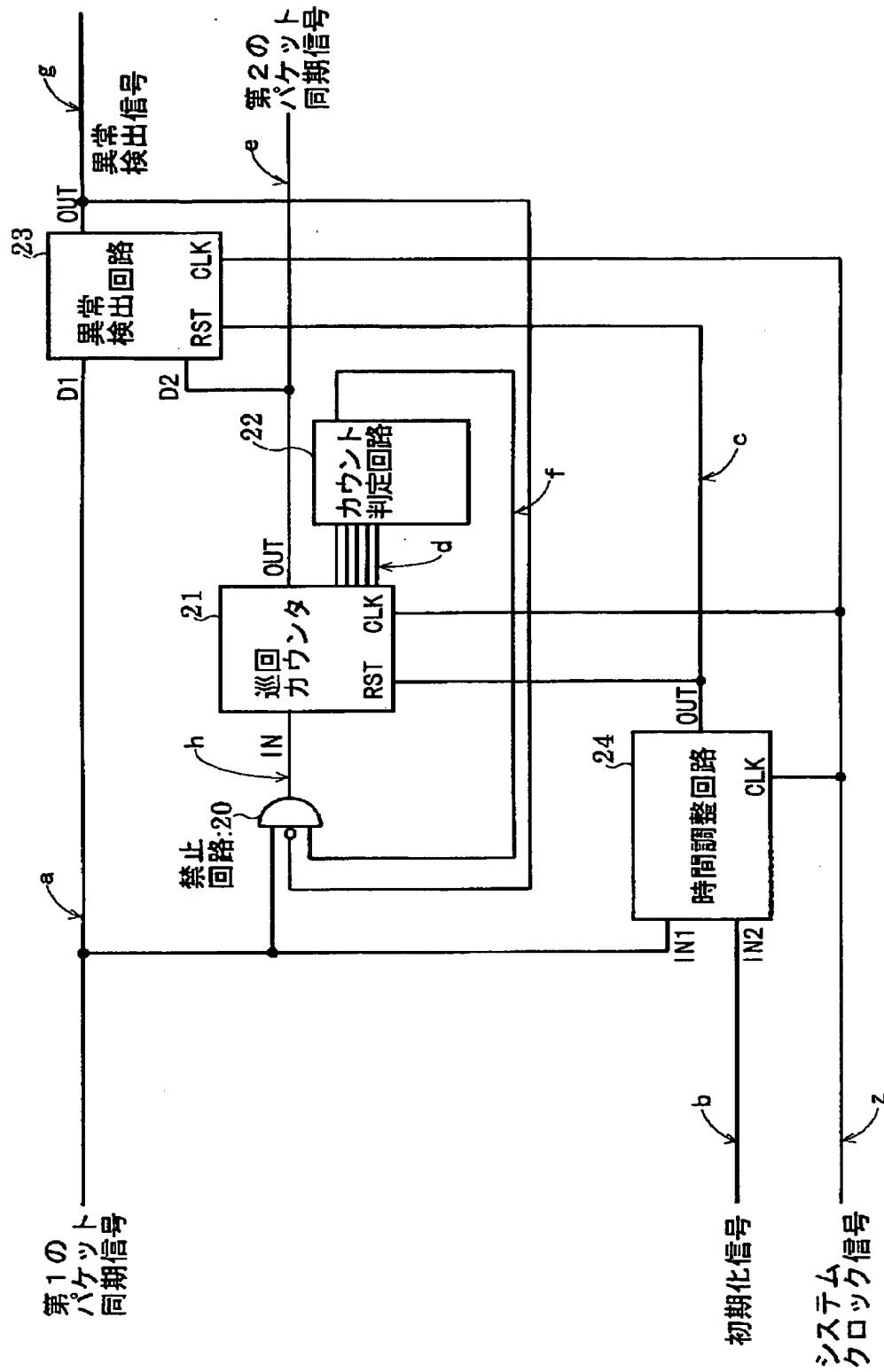
## 具体例 1 のパケット通信装置の構成を示す図

【図2】



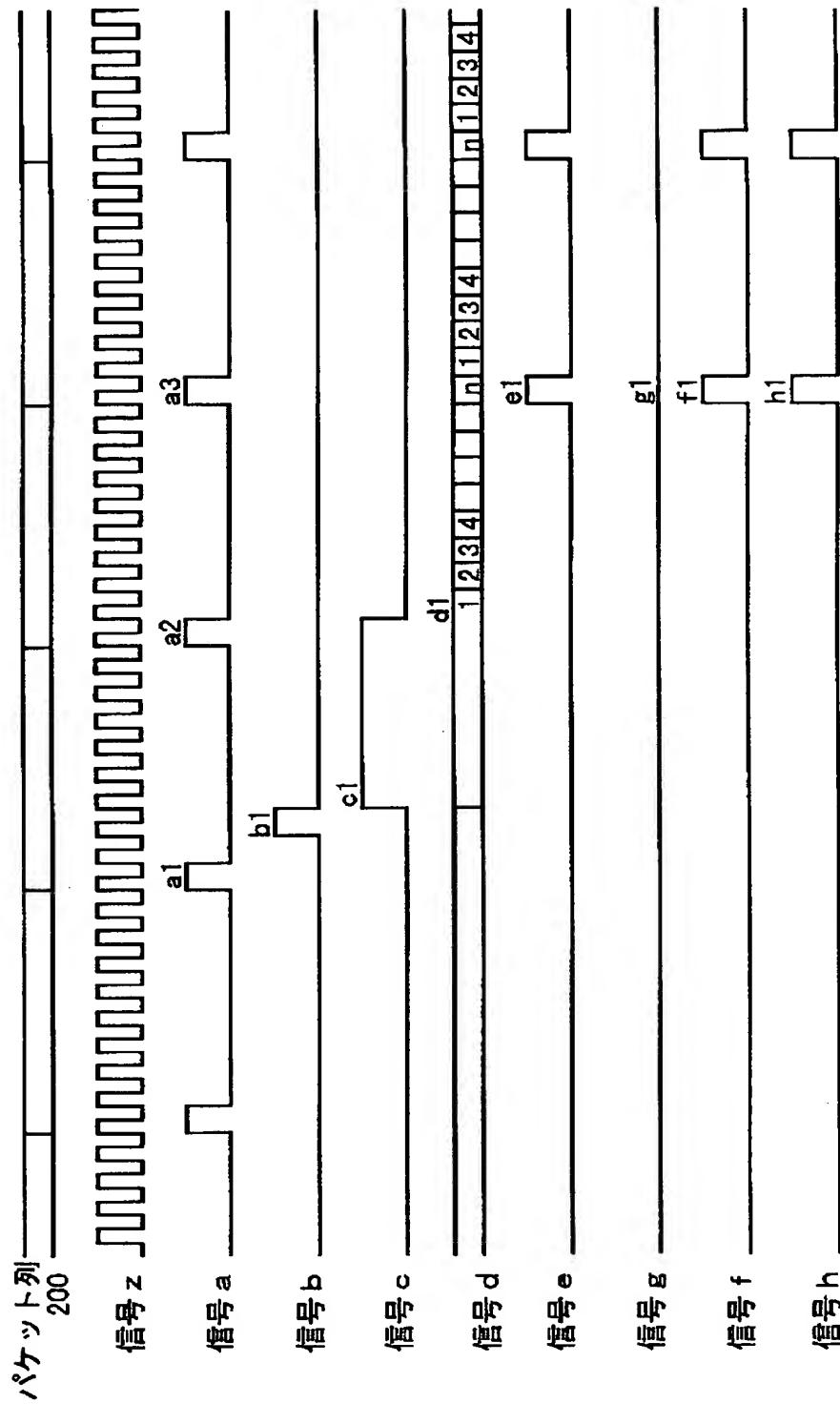
パケット処理時間を示す図

【図3】



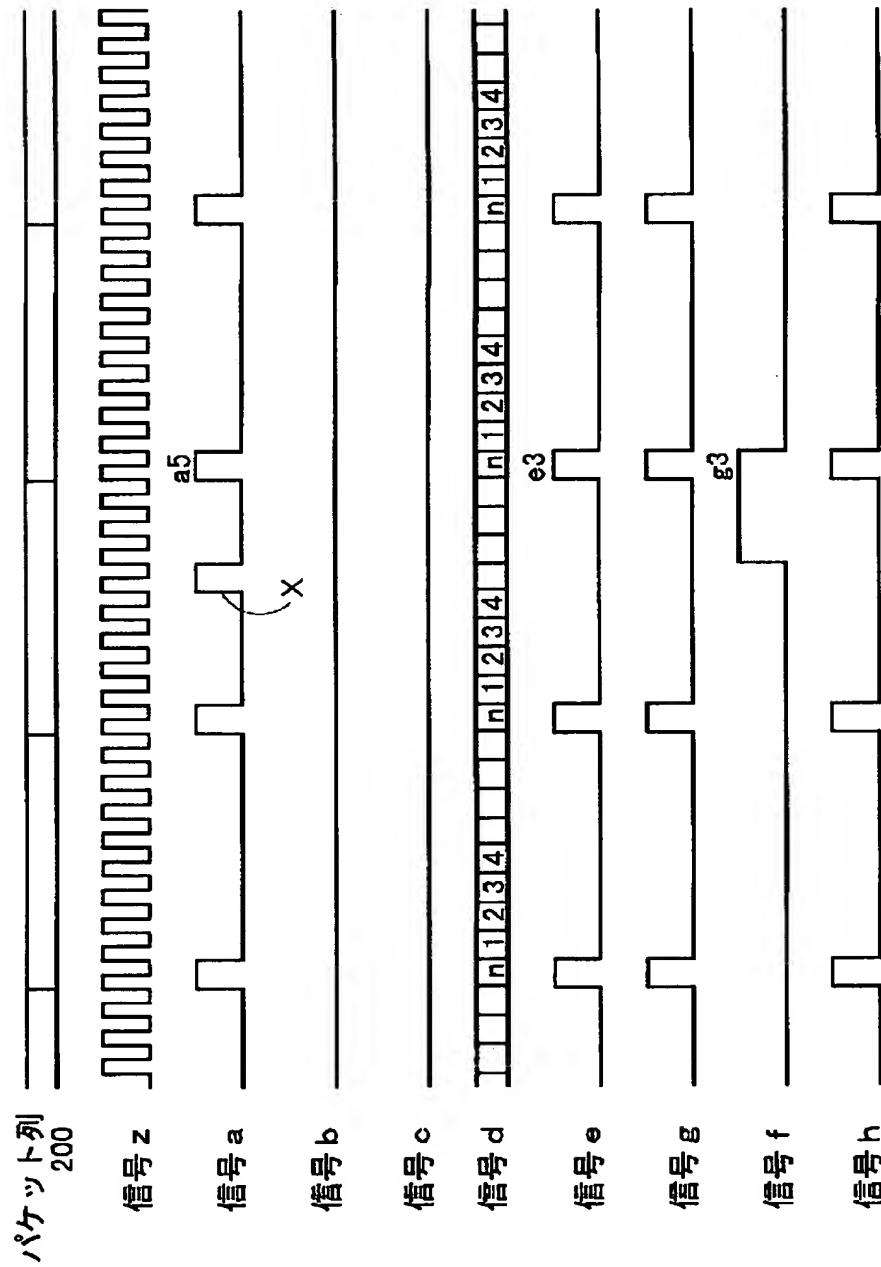
具体例2の保護回路の構成を示す図

【図4】



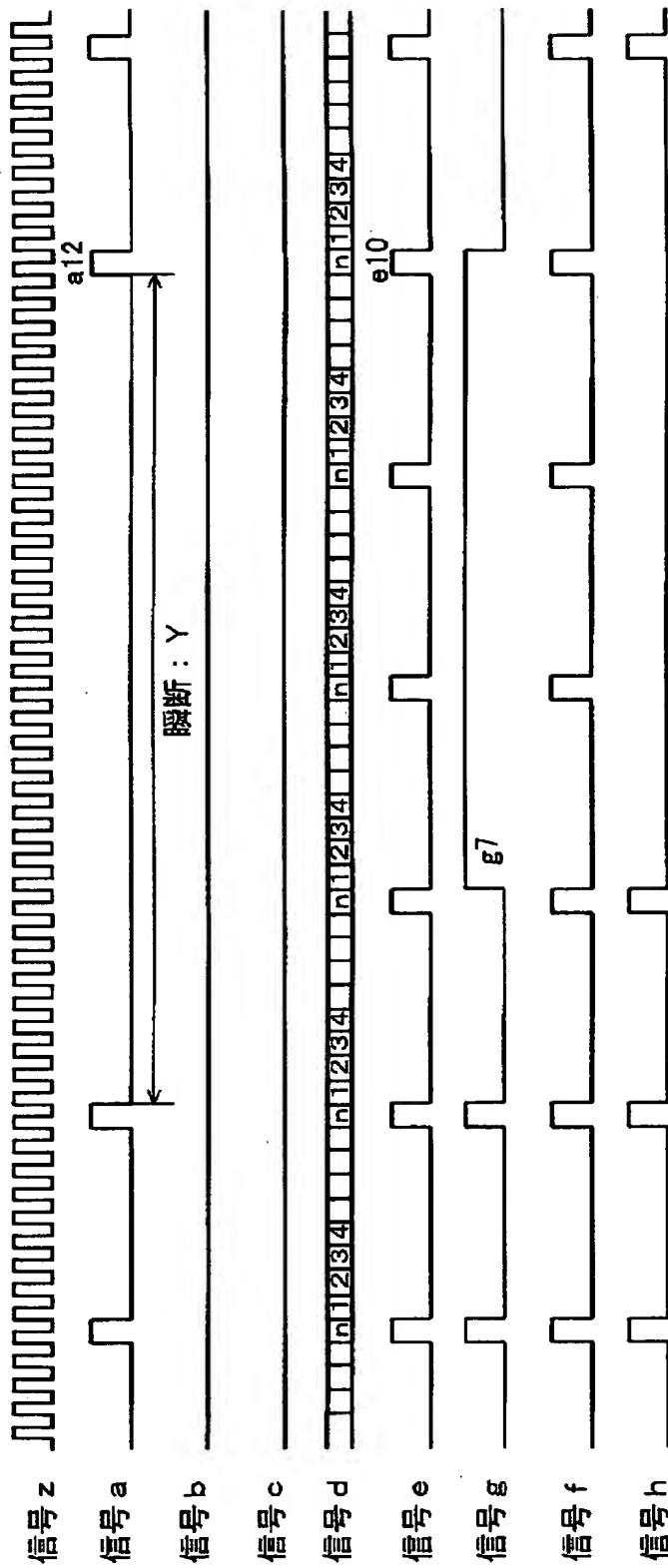
具体例2の保護回路の動作を示す図（その1）

【図5】



具体例2の保護回路の動作を示す図（その2）

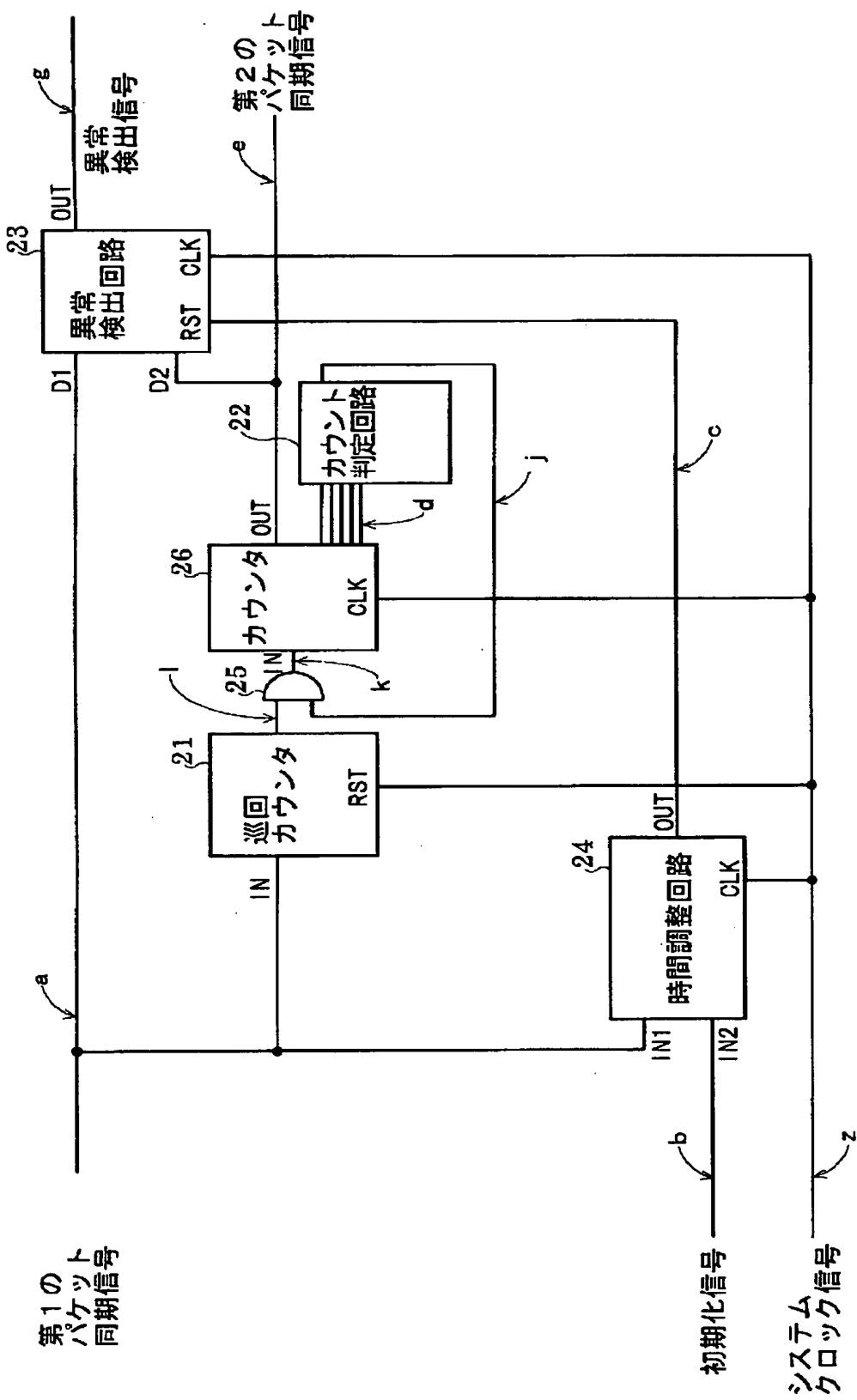
【図6】



具体例 2 の保護回路の動作を示す図（その3）

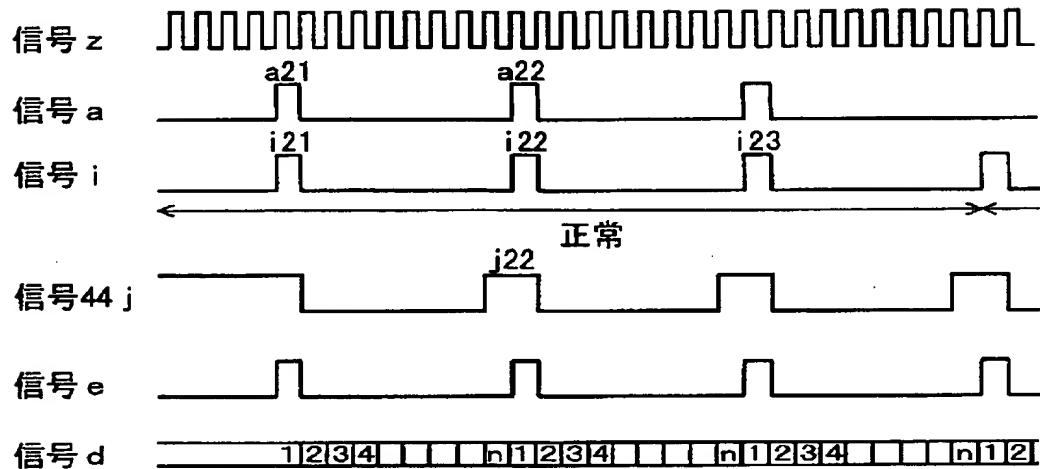
特平11-021264

【図7】



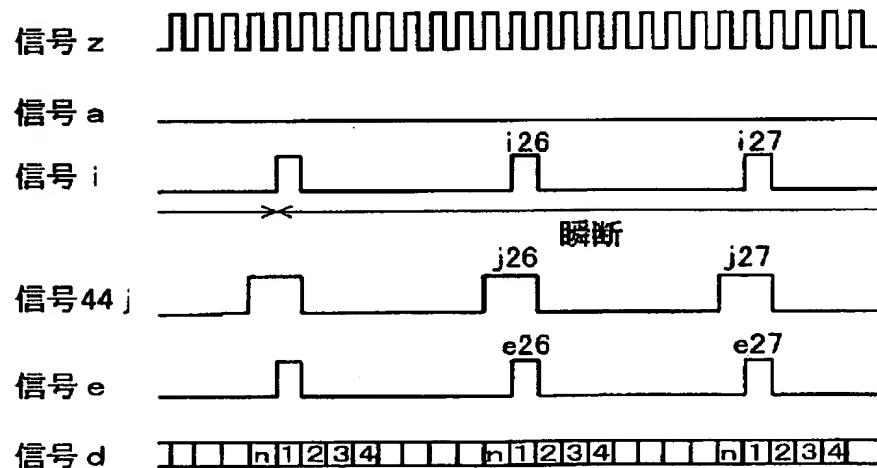
具体例3の保護回路の構成を示す図

【図8】



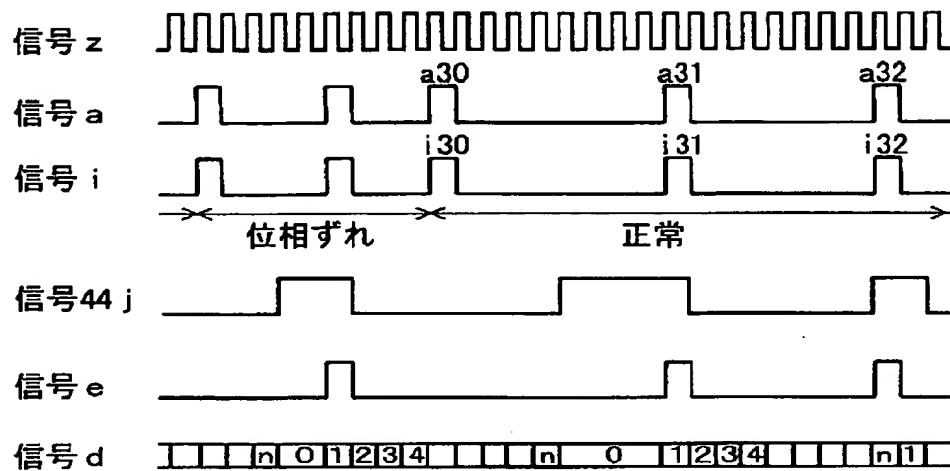
具体例3の保護回路の動作を示す図(その1)

【図9】



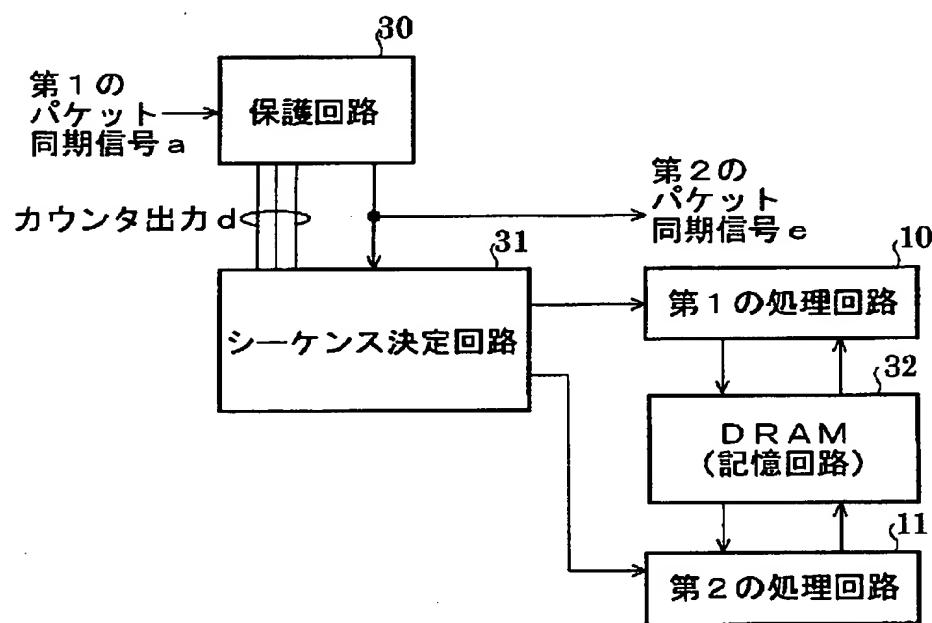
具体例3の保護回路の動作を示す図(その2)

【図10】



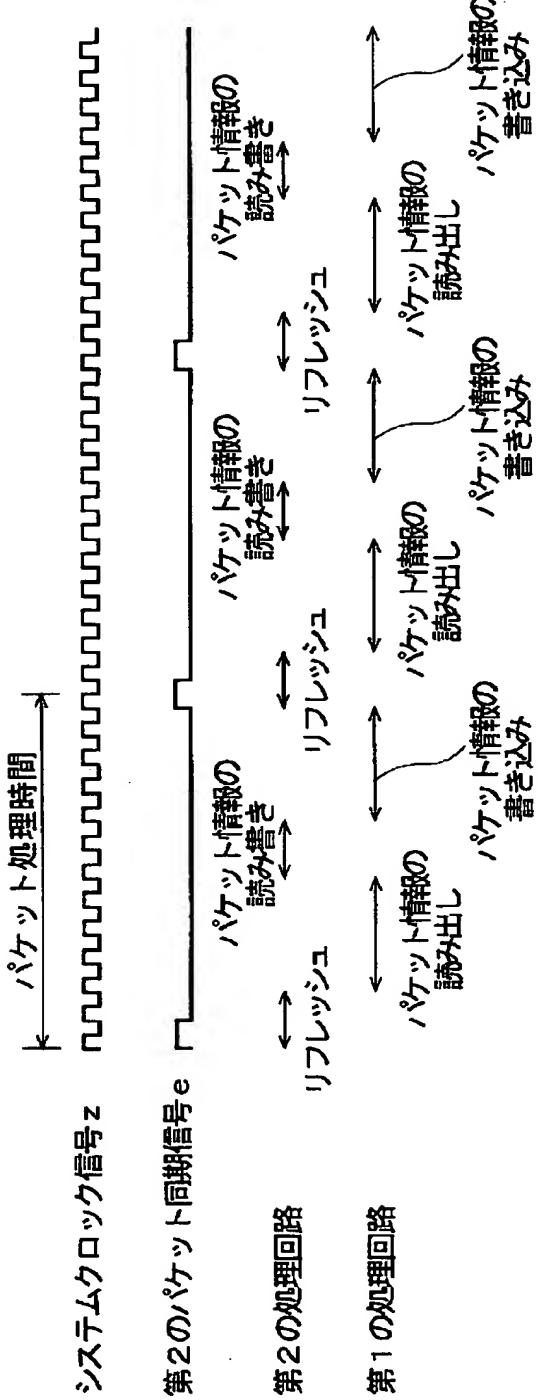
具体例3の保護回路の動作を示す図(その3)

【図11】



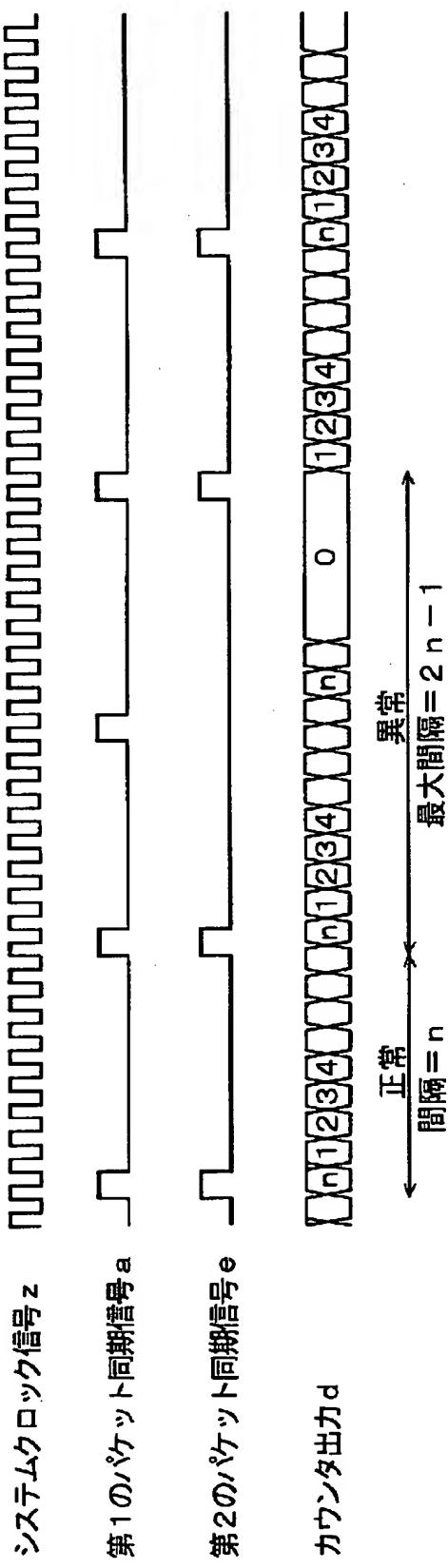
具体例4のパケット通信装置の構成を示す図

【図12】



具体例4のパケット通信装置の動作を示す図（その1）

【図13】



具体例4のパケット通信装置の動作を示す図（その2）

## 認定・付加情報

特許出願の番号	平成11年 特許願 第021264号
受付番号	59900074807
書類名	特許願
担当官	木村 勝美 8848
作成日	平成11年 3月 9日

## &lt;認定情報・付加情報&gt;

【提出日】	平成11年 1月29日
【特許出願人】	
【識別番号】	000000295
【住所又は居所】	東京都港区虎ノ門1丁目7番12号
【氏名又は名称】	沖電気工業株式会社
【代理人】	申請人
【識別番号】	100082050
【住所又は居所】	東京都新宿区西新宿7丁目18番5号 中央第7 西新宿ビル404号 佐藤・加藤国際特許事務所
【氏名又は名称】	佐藤 幸男
【代理人】	
【識別番号】	100102923
【住所又は居所】	東京都新宿区西新宿7丁目18番5号 中央第7 西新宿ビル404号 佐藤・加藤国際特許事務所
【氏名又は名称】	加藤 雄二

次頁無

特平11-021264

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社